

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-226610

(43)Date of publication of application : 03.09.1993

(51)Int.Cl.

H01L 27/108

H01L 21/027

(21)Application number : 04-029462

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 17.02.1992

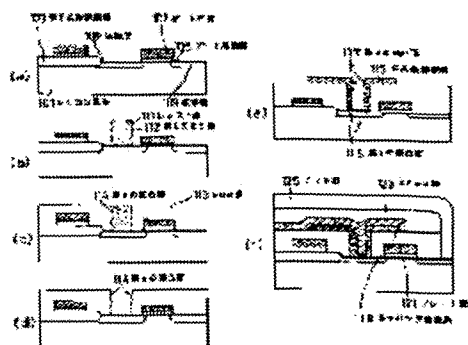
(72)Inventor : TANAKA HIROYUKI

(54) MANUFACTURE OF SEMICONDUCTOR STORAGE DEVICE

(57)Abstract:

PURPOSE: To materialize a capacitor having a large accumulation of charge by forming a charge accumulation layer by utilizing an unevenness of a pattern edge due to the interference of incident and reflected exposure lights.

CONSTITUTION: Photo resist is applied onto the surface of a silicon substrate 101 having a base structure and is prebaked and patterned. Due to the interference of cast or reflected exposure light, a resist film 111 has such a pattern edge as to have a first uneven surface 112. Next, an SOG film 113, an intermediate insulating film, is applied to the whole surface and is baked and etched to expose the surface of the resist film 111. Then, a second uneven surface 114 is transferred to the SOG film 113. And, the resist film 111 is removed and the SOG film 113 is solidified by baking. Then, by depositing polycrystalline silicon on the whole surface by CVD and then by patterning it, a charge accumulation layer 115 which has a larger surface area and has a fourth uneven surface 117 corresponding to a third uneven surface 116 formed by transferring the second uneven surface.



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-226610

(43)公開日 平成5年(1993)9月3日

(51)Int.Cl. ⁵	識別記号	片内整理番号	F I	技術表示箇所
H 0 1 L 27/108 21/027		8728-4M 7352-4M	H 0 1 L 27/ 10 21/ 30	3 2 5 M 3 1 1 W

審査請求 未請求 請求項の数3(全 7 頁)

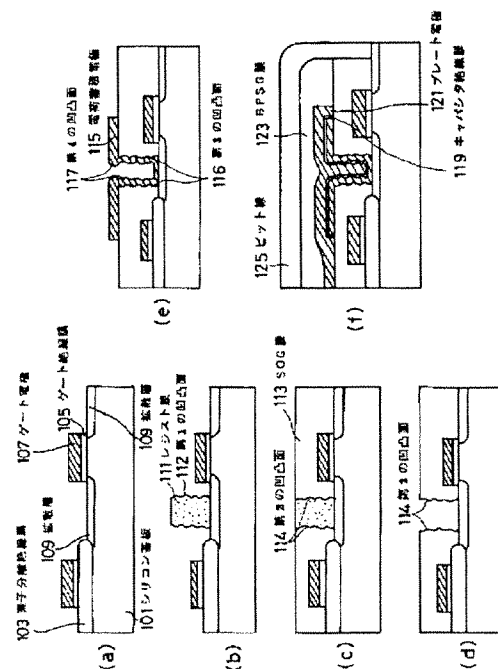
(21)出願番号	特願平4-29462	(71)出願人	000000295 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号
(22)出願日	平成4年(1992)2月17日	(72)発明者	田中 宏幸 東京都港区虎ノ門1丁目7番12号 沖電気 工業株式会社内
		(74)代理人	弁理士 鈴木 敏明

(54)【発明の名称】 半導体記憶装置の製造方法

(57)【要約】

【目的】 電荷蓄積電極表面に凹凸を設け、電荷蓄積量の大きなキャパシタおよびその製造方法を提供する。

【構成】 ホトレジスト露光時に、入射露光光と反射露光光の干渉により、レジストのパターンエッジに形成される凹凸を利用して、電荷蓄積層表面に凹凸を形成することにより、電荷蓄積量の大きなキャパシタを得る。



【特許請求の範囲】

【請求項 1】 半導体記憶装置の製造方法において、主表面に半導体素子が形成された半導体基板を準備する工程と、

前記半導体基板主表面に、レジストを塗布する工程と、前記レジストを選択的に除去し、残存レジストを形成する工程であって、前記レジストの厚さ方向に第 1 の凹凸面を有する前記残存レジスト形成工程と、

前記第 1 の凹凸面に接して、前記第 1 の凹凸部が転写された第 2 の凹凸面を有する絶縁膜を形成する工程と、

前記残存レジストを除去する工程と、

前記絶縁膜の第 2 の凹凸面上及び、前記残存レジストが除去された前記半導体基板主表面上に、電荷蓄積電極を形成する工程と、

を有することを特徴とする半導体記憶装置の製造方法。

【請求項 2】 前記電荷蓄積電極を形成する工程は、前記第 2 の凹凸面が転写された第 3 の凹凸面を有する電荷蓄積電極であって、

前記第 3 の凹凸面に対応した、第 4 の凹凸面を有する電荷蓄積電極を形成することを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 3】 半導体記憶装置の製造方法において、主表面に半導体素子が形成された半導体基板を準備する工程と、

前記半導体基板表面に、レジストを塗布する工程と、前記レジストをパターニングすることにより、前記レジストの厚さ方向に第 1 の凹凸面を有する残存レジストを形成する工程と、

前記第 1 の凹凸面に接して、前記第 1 の凹凸部が転写された第 2 の凹凸面を有する絶縁膜を形成する工程と、

前記残存レジストを除去する工程と、

前記絶縁膜の第 2 の凹凸面上及び、前記残存レジストが除去された前記半導体基板上に、前記第 2 の凹凸面に接して、前記第 2 の凹凸部が転写された第 3 の凹凸面を有する電荷蓄積電極を形成する工程と、

前記絶縁膜を除去することにより、前記電荷蓄積電極上の第 3 の凹凸面を露出させる工程と、

を有することを特徴とする半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体記憶装置の製造方法、特に、電荷蓄積部の製造方法に関するものである。

【0002】

【従来の技術】半導体記憶装置の一種であるダイナミック・ランダム・アクセスメモリ（DRAM）のメモリセル構造の一つに図 5 に示すようなスタック・キャパシタ・セルがある。図 5 中の 501 はシリコン基板、503 は素子分離絶縁膜、505 はゲート絶縁膜、507 はゲート電極、509 は拡散層、511 は層間絶縁膜、5

13 は電荷蓄積層、515 はキャパシタ絶縁膜、517 はプレート電極である。

【0003】このメモリセルの電荷蓄積部では、①種々の要因で起こる電荷の漏えいに対してある一定時間記憶状態を保持するため、②センスアンプの感度以上の信号を得るため、あるいは③アルファ線によるソフトウェア対策のため、ある値以上の電荷蓄積量を確保する必要がある。

【0004】このスタック・キャパシタ・セルの電荷蓄積量 C_s は、電荷蓄積電極とプレート電極の間に挟まれたキャパシタ絶縁膜の面積 S 、その誘電率 ϵ とその膜厚 d 及び電位差 V により

$$C_s = \epsilon \cdot S \cdot V / 2d$$

と、表わされる。

【0005】近年の半導体記憶素子の高集積化に伴うメモリセル寸法の縮小により、キャパシタ絶縁膜の面積 S が減少し、前述のある値以上の C_s を確保することが困難になってきている。

【0006】

【発明が解決しようとする課題】前述のように従来のキャパシタの構造では、高集積化に伴うメモリセル寸法の縮小により、キャパシタ絶縁膜の面積が減少し、電荷蓄積量の確保が困難であった。

【0007】本発明は以上のような問題点を解決し、電荷蓄積量の大きなキャパシタの形成方法を提供するものである。

【0008】

【課題を解決するための手段】半導体素子が形成された半導体基板上にレジスト膜を形成し、露光する際、入射露光光と反射露光光の干渉により前記レジストのパターンエッジは凹凸形状となる。この凹凸面を利用して、電荷蓄積層を形成することにより、電荷蓄積量の大きなキャパシタを得る。

【0009】

【作用】半導体素子が形成された半導体基板上にレジストを全面に塗布した後、前記レジストを選択的に除去し、残存レジストを形成する。この時、前記残存レジストは、パターニングの際の入射露光光と反射露光光の干渉によりパターンエッジに第 1 の凹凸面を有する。前記第 1 の凹凸面に接するように絶縁膜を形成し、前記第 1 の凹凸が転写された第 2 の凹凸面を有する絶縁膜を形成する。この後、前記残存レジストを除去し、前記絶縁膜の第 2 の凹凸面を露出させる。

【0010】この後、電荷蓄積電極を前記絶縁膜の第 2 の凹凸面上に堆積させると前記第 2 の凹凸面が転写された第 3 の凹凸面および前記第 3 の凹凸面に対応した第 4 の凹凸面を有する電荷蓄積電極を形成することができる。以上の工程により形成された電荷蓄積電極は、前記第 3 の凹凸面および第 4 の凹凸面を有する。この結果従来よりもより大きな電荷蓄積量を有する。

【0011】

【実施例】（実施例1）以下、本発明の第1の実施例を図1を参照して説明する。図1（a）において、101はシリコン基板、103は素子分離絶縁膜、105はゲート絶縁膜、107はゲート電極、109は拡散層である。このような、下地構造を有するシリコン基板表面に、ホトレジスト、例えばポジ型のホトレジストを1000Å塗布し70℃、30分のプリベークを行った後、パターンニングすることにより、図1（b）に示すように、レジスト膜111を、拡散層109に接する所望の位置に形成する。この時、レジスト膜111は、入射露光光と反射露光光の干渉により、レジストのパターンエッジが第1の凹凸面112となる。この現象については、例えば、アイビーエム・ジャーナル・オブ・リサーチ・アンド・ディベロプメント（IBM Journal of Research and Development）21（1977-5）P. 208～218に開示されている。

【0012】その後、中間絶縁膜として、SOG膜113を全面に1000Å塗布し、150℃、30分のベークを行った後、レジスト膜111上のSOG膜を除去するために、レジスト膜111表面が露出するまでSOG膜113をエッチングする（エッチバック法）と、図1（c）に示すような構造が形成される。この際、SOG膜113は前記レジスト膜上の第1の凹凸面112が転写された第2の凹凸面114を有する。

【0013】次に、レジスト膜111を除去し、図1（d）に示すように、SOG膜上の第2の凹凸面を露出させた後、400℃、30分のベークによりSOG膜113を完全に固化する。

【0014】引き続き、図1（e）に示すように、リン等のドーパントを含んだ多結晶シリコンをCVD法により全面に1000Å堆積した後、パターンニングし、電荷蓄積層115を形成する。この時、電荷蓄積層115は前記SOG膜上の第2の凹凸面が転写された第3の凹凸面116に、対応した第4の凹凸面117を有する。また、電荷蓄積層115は少なくとも一部が、前記拡散層109と接している。

【0015】さらにCVD法により130Åのシリコン窒化膜を形成した後、熱酸化法により20Å上層酸化膜を形成することにより、キャパシタ絶縁膜119を形成する。

【0016】その後、リン等のドーパントを含んだ多結晶シリコンを1000Å形成することによりプレート電極121を形成する。

【0017】次に、層間絶縁膜として、ホウ素ケイ酸ガラス（BPSG）膜123を3000Å堆積した後、拡散層109上にビットラインコンタクトを形成する。

【0018】その後、スパッタ法により、全面にアルミを7000Å堆積させ、ビット線125を形成し、図1

（f）に示すような構造を得る。

【0019】前記形成工程において形成された半導体記憶装置図1（f）は、電荷蓄積層表面に前記第4の凹凸面117が形成されるため、従来と同じデザインルールに対し、表面積がより大きな電荷蓄積層を得ることができる。

【0020】従来の半導体記憶装置において、デザインルール1.2μm、キャパシタ絶縁膜が酸化膜換算値で100Åの場合、キャパシタ容量は約40fFとなる。図1（f）における同条件でのキャパシタ容量は約60fFとなり、従来技術に比べより高いセンスアンプの安定性が得られ、DRAMの高集積化を行うことができる。

【0021】（実施例2）図2に、本発明に係る第2の実施例を示す。以下、図2を参照して、本発明に係る第2の実施例を説明する。

【0022】図2（a）において、201はシリコン基板、203は素子分離絶縁膜、205はゲート絶縁膜、207はゲート電極、209は拡散層、211は層間絶縁膜である。

【0023】このような、下地構造を有するシリコン基板表面に、ホトレジストを1500Å塗布し70℃、30分のプリベークを行った後、パターンニングすることにより、図2（b）に示すように第1の凹凸面215を有するレジスト膜213を、拡散層209に接する所望の位置に形成する。

【0024】その後、SOGを全面に1500Å塗布し、150℃、30分のベークを行った後、実施例1と同様のエッチバック法によりSOG膜217を形成する。この際、SOG膜217は前記レジスト膜の第1の凹凸面が転写された第2の凹凸面219を有する。

【0025】次に、レジスト膜213を除去し、前記第2の凹凸面219を露出させた後、400℃、30分のベークによりSOG膜217を完全に固化する。

【0026】引き続き、図1（d）に示すように、リン等のドーパントを含んだ多結晶シリコンをCVD法により全面に1500Å堆積した後、SOG膜217上の前記多結晶シリコンを除去するためにSOG膜217の表面が露出するまで前記多結晶シリコンをエッチングし、電荷蓄積層221を形成する。この際、電荷蓄積層221は、前記SOG膜の第2の凹凸面219が転写された第3の凹凸面223を有する。また、電荷蓄積層221は、少なくとも一部が、前記拡散層209と接している。

【0027】次いで、図2（e）に示すようにSOG膜217を除去した後、CVD法により130Åのシリコン窒化膜を形成し、引き続き熱酸化法により20Åの上層酸化膜を形成することにより、キャパシタ絶縁膜225を形成する。

【0028】その後、リン等のドーパントを含んだ多結

晶シリコン層を2000Å形成することにより、プレート電極227を形成する。引き続き、実施例1と同様に、BPSG膜229、ビット線231を順次形成し、図2(f)に示すような構造を得る。

【0029】前記形成工程において形成された半導体記憶装置図2(f)は、電荷蓄積層表面に前記第3の凹凸面223が形成されるため、従来と同じデザインルールに対し、表面積がより大きな電荷蓄積層を得ることができる。

【0030】図2(f)の半導体記憶装置において、デザインルール1.2μm、キャパシタ絶縁膜が酸化膜換算値で100Åの場合、キャパシタ容量は約60fFとなり、従来技術に比べより高いセンスアンプの安定性が得られ、DRAMの高集積化が行える。

【0031】(実施例3)以下、本発明の第3の実施例を図3を参照して説明する。

【0032】図3(a)において、301はシリコン基板、303は素子分離絶縁膜、305はゲート絶縁膜、307はゲート電極、311は層間絶縁膜である。

【0033】このような下地構造を有するシリコン基板表面に、ホトレジストを10000Å塗布し、70℃、30分のプリベークを行った後、パターニングすることにより、図3(a)に示すレジスト膜313を、拡散層209に接する所望の2領域に形成する。この時、レジスト膜313のパターンエッジは、入射露光光と反射露光光の干渉により、第1の凹凸面315となる。

【0034】その後、SOGを全面に10000Å塗布し、150℃、30分のベーキングを行った後、レジスト膜313の表面が露出するまで前記SOGをエッチングすることにより、SOG膜317を形成する。この際、SOG膜317は前記レジスト膜の第1の凹凸面が転写された第2の凹凸面319を有する。

【0035】次に、図3(c)に示すようにレジスト膜313を除去し、前記第2の凹凸面319を露出させた後、400℃、30分のベーキングによりSOG膜317を完全に固化する。

【0036】引き続き、図3(d)に示すように、リン等のドーパントを含んだ多結晶シリコンをCVD法により全面に10000Å堆積した後、SOG膜317上の前記多結晶シリコンを除去するために、SOG膜317の表面が露出するまで前記多結晶シリコンをエッチングし、電荷蓄積層321を形成する。この際、電荷蓄積層321は、前記SOG膜の第2の凹凸面319が転写された第3の凹凸面323を有する。また、電荷蓄積層321は少なくとも一部が、前記拡散層309と接している。

【0037】その後、実施例2と同様に、キャパシタ絶縁膜325、プレート電極327、BPSG膜329、ビット線331を順次形成し、図3(e)に示すような構造を得る。

【0038】前記形成工程において形成された半導体記憶装置図3(e)は、電荷蓄積層表面に前記第3の凹凸面323が形成されるため、従来と同じデザインルールに対し、表面積がより大きな電荷蓄積層を得ることができる。

【0039】図3(d)の半導体記憶装置において、デザインルール1.2μm、キャパシタ絶縁膜が酸化膜換算値で100Åの場合、キャパシタ容量は約80fFとなり、従来技術に比べより高いセンスアンプの安定性が得られ、DRAMの高集積化が行える。

【0040】(実施例4)以下、本発明の第4の実施例を図4を参照して説明する。

【0041】図4(a)において、401はシリコン基板、403は素子分離絶縁膜、405はゲート絶縁膜、407はゲート電極、409は拡散層である。

【0042】このような下地構造を有するシリコン基板表面に、ホトレジストを15000Å塗布し、70℃、30分のプリベークを行った後、パターニングすることにより、図4(a)に示すレジスト膜413を、拡散層409に接する2領域に形成する。この時、レジスト膜413のパターンエッジは、入射露光光と反射露光光の干渉により、第1の凹凸面415となる。

【0043】その後、全面にSOGを15000Å塗布し、150℃、30分のベーキングを行った後、前記レジスト膜413上のSOGを除去するためにレジスト膜413の表面が露出するまでエッチングし、SOG膜417を形成する。この際、SOG膜417は、前記レジスト膜の第1の凹凸面415が転写された第2の凹凸面419を有する。

【0044】次に、レジスト膜413を除去し、前記第2の凹凸面419を露出させた後、400℃、30分のベーキングによりSOG膜417を完全に固化する。

【0045】引き続き、図4(c)に示すように、リン等のドーパントを含んだ多結晶シリコンをCVD法により全面に10000Å堆積した後、ホトリソグラフィ法によりエッチングし、電荷蓄積層421を形成する。この際、電荷蓄積層421は、前記SOG膜の第2の凹凸面419が転写された第3の凹凸面423および前記第3の凹凸面に対応した第4の凹凸面425を有する。また、電荷蓄積層421は、少なくとも一部が前記拡散層と接している。

【0046】その後、図3(d)に示すように前記SOG膜417を除去する。次いで、実施例2と同様に、キャパシタ絶縁膜427、プレート電極429、BPSG膜431、ビット線433を順次形成し、図4(e)に示すような構造を得る。

【0047】前記形成工程において形成された半導体記憶装置図4(e)は、電荷蓄積層表面に前記第3の凹凸面423および前記第4の凹凸面425が形成されるため、従来と同じデザインルールに対し、表面積がより大

きな電荷蓄積層を得ることができる。

【0048】図4(e)の半導体記憶装置において、デザインルール1.2 μ m、キャパシタ絶縁膜が酸化膜換算値で100Åの場合、キャパシタ容量は約100fFとなり、従来技術に比べより高いセンスアンプの安定性が得られ、DRAMの高集積化が行える。

【0049】上記第1から第4の実施例では、レジストのパターンエッジに形成される凹凸面に接するようにSOG膜を用いたが、この他の膜でも低温で固化し、その後のキャパシタ形成に伴う熱処理に対して変形しない膜、例えばポリイミドなども使用することができる。

【0050】また、第1から第4の実施例ではポジ型のホトレジストを用いたが、ネガ型のホトレジストを用いても同様の効果を得ることができる。

【0051】

【発明の効果】以上、詳細に説明したように、本発明によれば、レジストパターンニングの際入射露光光と反射露光光の干渉により生成するレジストパターンエッジの凹凸形状を利用して、電荷蓄積電極表面を凹凸形状にすることにより、電荷蓄積量の大きなキャパシタを有する半導体記憶装置を得ることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例の工程図。

【図2】本発明の第2の実施例の工程図。

【図3】本発明の第3の実施例の工程図。

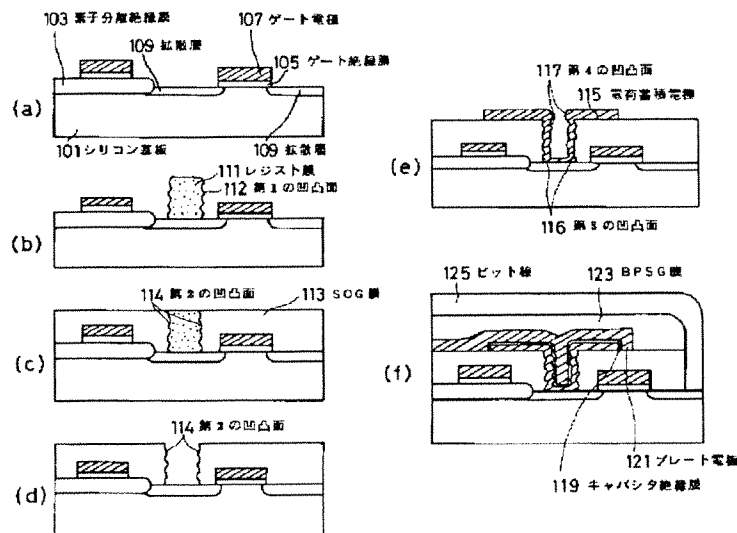
【図4】本発明の第4の実施例の工程図。

【図5】従来のメモリセル構造の断面図。

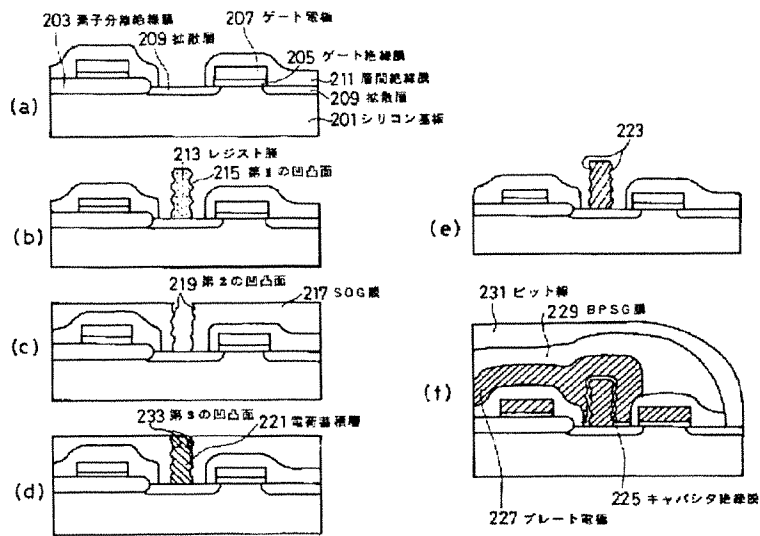
【符号の説明】

101	シリコン基板
103	素子分離絶縁膜
105	ゲート絶縁膜
107	ゲート電極
109	拡散層
111	レジスト膜
112	第1の凹凸面
113	SOG膜
114	第2の凹凸面
115	電荷蓄積電極
116	第3の凹凸面
117	第4の凹凸面
119	キャパシタ絶縁膜
121	プレート電極
123	BPSG膜
125	ビット線

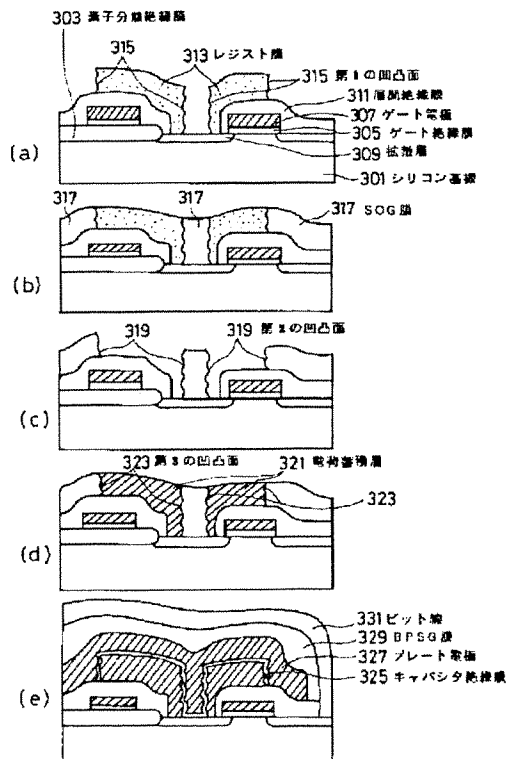
【図1】



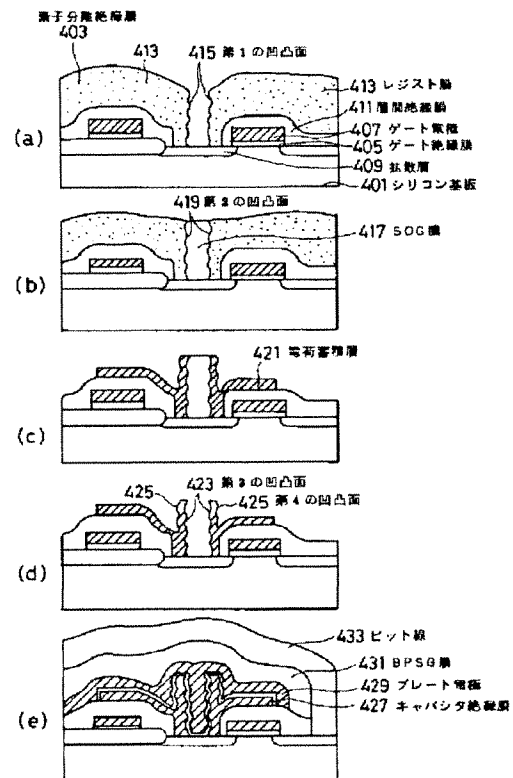
【図2】



【図3】



【図4】



【図 5】

